**МІНІСТЕРСТО ОСВІТИ І НАУКИ УКРАЇНИ**

**НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ “ЛЬВІВСЬКА ПОЛІТЕХНІКА”**



**Кафедра ЕОМ**

**Лабораторної роботи №1**

**з дисципліни**

**«Моделювання комп’ютерних систем»**

**Варіант 9**

**Виконав:**

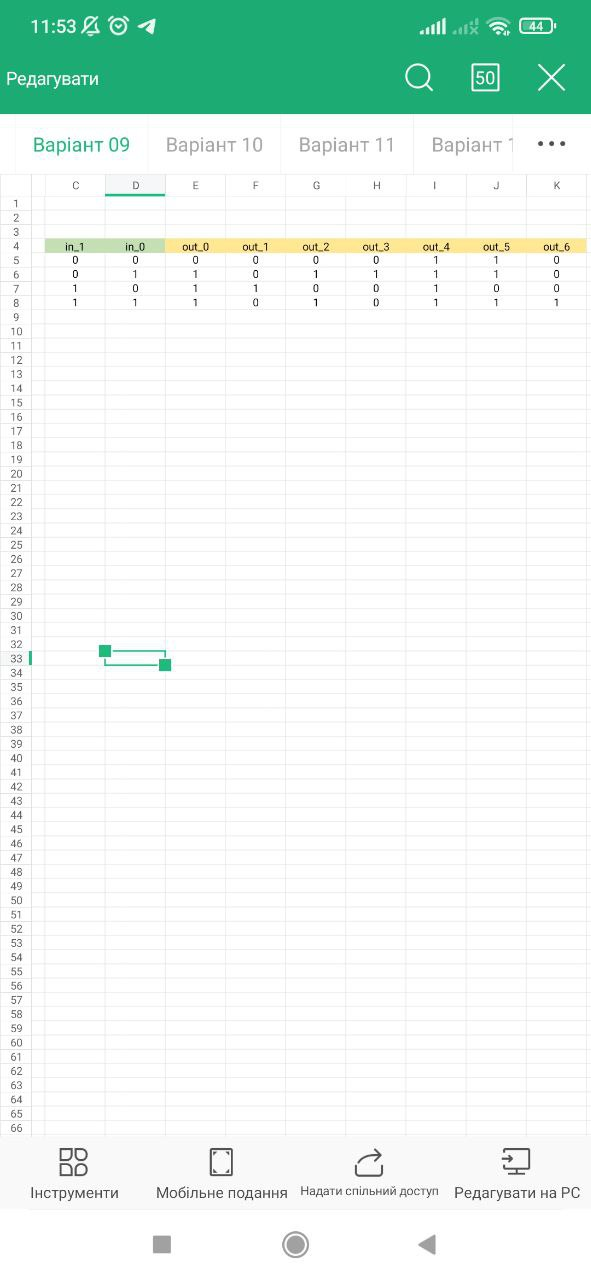
Студент гр КІ-

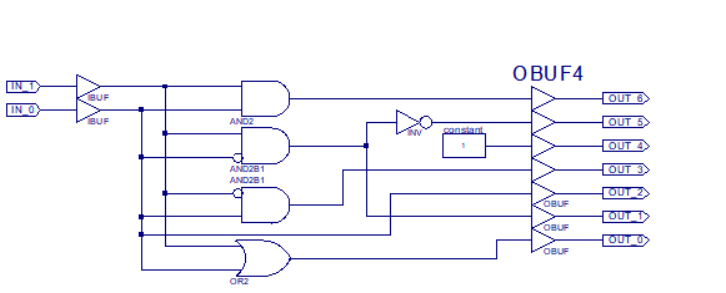
**Перевірив:**

Львів – 2024

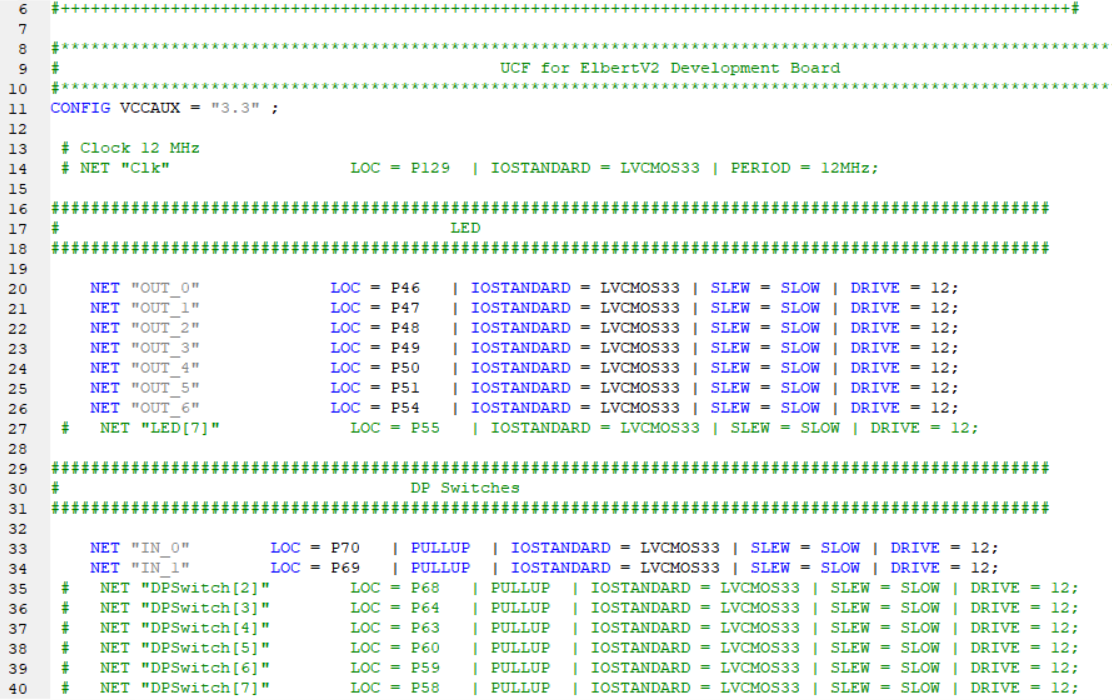
**Тема роботи**. Інсталяція та ознайомлення з середовищем розробки Xilinx ISE. Ознайомлення зі стендом **Elbert V2 – Spartan 3A FPGA**.

**Мета роботи**. Побудова дешифратора (згідно варіанту) за допомогою **ISE WebPACKTM Schematic Capture** та моделювання його роботи за допомогою симулятора **ISim**.

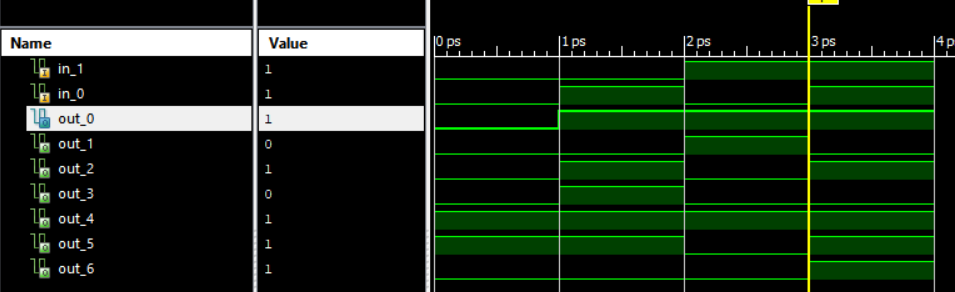
**Завдання:** 

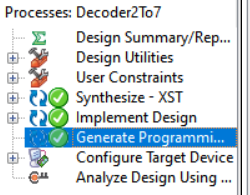
**Схема декодера, який шифрує задані функції:** 

**Код, що реалізує підключення виводів схеми до фізичних виводів цільової FPGA., що знаходиться у файлі Dec2To7Constraints.ucf:**



**Результат перевірки роботи схеми за допомогою симулятора ISim**(всі варіанти вхідних сигналів було перебрано з 0 ps до 3ps)**:**



**Результат генерування BIT файлу для цільової FPGA:** 

**Висновок:** Я згенерував схему дешифратора, який шифрує вхідні сигнали відповідно до мого завдання у середовищі **Xilinx** зробивши аналіз результату у симуляторі **Isim** і дійшов висновку, що схема побудована правильно. Одже навчився працювати з базовими інструментами **Xilinx** і моделювати примітивні комп’ютерні схеми.